

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-128570

(43)Date of publication of application : 22.05.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 62-285441

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.11.1987

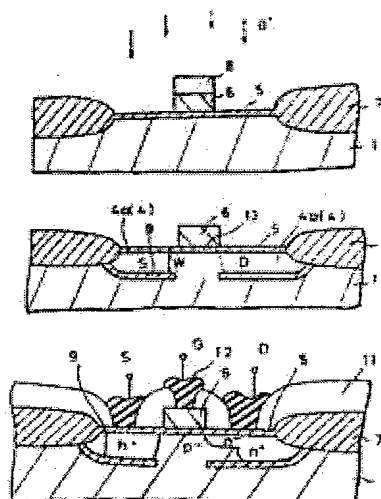
(72)Inventor : KAWAMURA SEIICHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to form a highly reliable SOI type MOSFET, in which irregularities are not present in a gate forming part, readily, by forming a gate electrode, implanting oxygen ions only in the source region and the drain region of a single crystal silicon substrate with the patterned resist mask on said gate electrode as a mask, and forming a silicon dioxide layer.

CONSTITUTION: A gate electrode 6 comprising patterned polycrystalline silicon is formed on a single crystal silicon substrate 1 by using a field insulating film 7, a gate insulating film 5 and resist 8. O⁺ ions (oxygen ions) are implanted with the resist 8 and the gate electrode as masks. An SiO₂ layer 9 is formed at a position with a depth W of about 3,000~4,000Å from the gate insulating film 5. Thereafter, a source region 4a and a drain region 4b are formed on the SiO₂ layer 9 by ordinary ion implantation and annealing. There are no irregularities in the state of the gate electrode forming part at all, and the electrode forming part is flat. Thus, the reliability of the gate electrode is not decreased.



⑫ 公開特許公報(A)

平1-128570

⑤Int.Cl.⁴

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

Z-8422-5F

④公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全4頁)

⑤④発明の名称 半導体装置の製造方法

②①特 願 昭62-285441

②②出 願 昭62(1987)11月13日

⑦②発 明 者 河 村 誠 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦①出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑦④代 理 人 弁 理 士 青 木 朗 外3名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 単結晶シリコン基板(1)上にゲート絶縁層(5)を形成し、パターニングされたレジスト(8)をマスクとして該ゲート絶縁層(b)上にゲート電極(6)を形成し、該ゲート電極(6)をマスクとして不純物イオンを注入して該単結晶シリコン基板(1)内にソース領域(4a)、ドレイン領域(4b)を形成する工程を含んでなる半導体装置の製造方法において、

前記ゲート電極(6)を形成した後、該ゲート電極(6)上のパターニングされたレジスト(8)をマスクとして酸素イオンを前記単結晶シリコン基板(1)の前記ソース領域、ドレイン領域にのみイオン注入して二酸化シリコン層を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概 要)

本発明は半導体装置の製造方法に係り、特にSOIS(Silicon-On-Insulator & Silicon)タイプのMOSFETの製造方法に関し、本発明はゲート形成部の信頼性が高いSOISタイプのMOSFETを製造することを目的とし、

単結晶シリコン基板(1)上にゲート絶縁層(5)を形成し、パターニングされたレジスト(8)をマスクとして該ゲート絶縁層(b)上にゲート電極(6)を形成し、該ゲート電極(6)をマスクとして不純物イオンを注入して該単結晶シリコン基板(1)内にソース領域、ドレイン領域を形成する工程を含んでなる半導体装置の製造方法において、

前記ゲート電極(6)を形成した後該ゲート電極(6)上のパターニングされたレジスト(8)をマスクとして酸素イオンを前記単結晶シリコン基板(1)の前記ソース領域、ドレイン領域にのみイオン注入して二酸化シリコン層を形成するこ

とを構成とする。

〔産業上の利用分野〕

本発明は半導体装置の製造方法に係り、特に SOIS (Silicon-On-Insulator & Silicon) タイプの MOSFET の製造方法に関する。

〔従来の技術及びその問題点〕

従来 MOSFET におけるソース領域とドレイン領域が SOI (Silicon-On-Insulating Substrate) 構造であり、チャネル部のみがバルクシリコン上にあるいわゆる SOIS は、第 4 図に示される。すなわち、単結晶シリコン (100) 基板 1 上に約 1 μ m の厚さに CVD 法により SiO_2 層 2 を形成し、該 SiO_2 層に窓 3 を開けた後、CVD 法により形成された多結晶シリコンをメサ型エッチし次に窓開けされた該シリコン (100) 基板部をシード (種結晶) としてレーザアニールにより多結晶シリコンを単結晶に再結晶化する。この再結晶化された単結晶域 4 (ソース・ドレイン領域 4 a, 4 b を形成する) の上

部中央 A は SiO_2 層 2 の窓 3 形成の影響を受けて凹状となる。この後ゲート絶縁膜 (SiO_2) 5 が形成され、A 上方にゲート電極 6 が形成される。

このようにして得られた SOI タイプの MOSFET は上記のようにゲート形成部に凹凸が形成され、ゲート部の信頼性の面で問題があった。第 4 図ではシード (種結晶) を有する方式で再結晶化する方法を述べたが選択的エピタキシャル成長法を用いる場合もゲート形成部に凹凸部が形成され、信頼性の面で同様の問題があった。

本発明はゲート形成部の信頼性が高い SOIS タイプの MOSFET を製造することを目的とする。

〔問題点を解決するための手段〕

上記問題点は本発明によれば単結晶シリコン基板上にゲート絶縁層を形成し、パターンニングされたレジストをマスクとして該ゲート絶縁層上にゲート電極を形成し、該ゲート電極をマスクとして不純物イオンを注入して該単結晶シリコン内にソース領域、ドレイン領域を形成する工程を含んで

なる半導体装置の製造方法において、前記ゲート電極を形成した後該ゲート電極上のパターンニングされたレジストをマスクとして酸素イオンを前記単結晶シリコン基板の前記ソース領域、ドレイン領域にのみイオン注入して二酸化シリコン層を形成することを特徴とする半導体装置の製造方法によって解決される。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第 1 A 図から第 1 C 図迄は本発明に係る MOSFET の製造工程を示す工程断面図である。

第 1 A 図によれば通常の工程により単結晶シリコン基板 (100) 1 上に SiO_2 等からなるフィールド絶縁膜 7 及びゲート絶縁膜 5 及びレジスト 8 を用いてパターンニングされた多結晶シリコンからなるゲート電極 6 が形成されている。このような状態で第 3 A 図に示したように O^+ (酸素イオン) を用いたイオン注入を、レジスト 8 及びゲート電極

をマスクとして 200 KeV, $1.5 \times 10^{18} / \text{cm}^2$ の注入条件で行い、1200℃程度の熱処理温度でアニール処理を施すとゲート絶縁膜 5 から約 3,000 ~ 4,000 Å の深さ W の位置に SiO_2 層 9 が形成され、いわゆる SOI 構造が形成される。ゲート電極 6 の下方のチャネル部には O^+ は注入されないので、単結晶シリコン 1 の結晶性はバルクのシリコンのままで良好である。この後、通常のイオン注入、アニール処理によりソース (S) 領域 4 a ドレイン (D) 領域 4 b が SiO_2 層 9 上に形成される。

更にゲート電極形成部 B の状態は従来技術に示した方法の場合とは異なり、凹凸が全くなく平坦であり、ゲート電極の信頼性を低下させない。

第 2 図は本方法を使用して形成したオフセット型高耐圧 SOI/MOS の一実施例を示す断面図である。

第 2 図においてシリコン基板 1 は p^- 層であり、ソースおよびドレイン領域にそれぞれ n^+ 層及び n^- , n^+ 層が形成されている。すなわち第 2 図にはソース、ドレイン領域のみが SOI 構造になっており、ゲート電極形成部も平坦となっている。

図中11はPSG膜、12はアルミニウムである。

このような構造はCMOSを作る場合、ラッチアップフリーになり、SOI構造のため高速の可能性を有し、様々なデバイスに適用できる。特にオフセット部をSOI構造にすることによって高耐圧MOSに適している。

第3A図から第3C図迄はメサ型SOIのMOSFETの製造方法を示す工程断面図である。

第3Aに示すようにメサ型単結晶シリコン(100)基板10上にSiO₂からなるゲート絶縁膜5を熱酸化により形成し、次に多結晶シリコン層6を形成しレジスト8で該多結晶ゲート電極6とゲート絶縁膜5、パターニング該レジスト8をマスクとして単結晶シリコン(100)1に上記実施例と同様にO⁺をイオン注入後1200℃程度のアニールによりSiO₂層9を形成する第3B図。次に通常工程As⁺を注入しアニールによりソース(S)、ドレイン(D)領域n⁺層を形成する(第3C図)。このようにしてメサ型SOIのMOSFETを形成することができる。

8…レジスト、 9…SiO₂層、
10…メサ型単結晶シリコン基板。

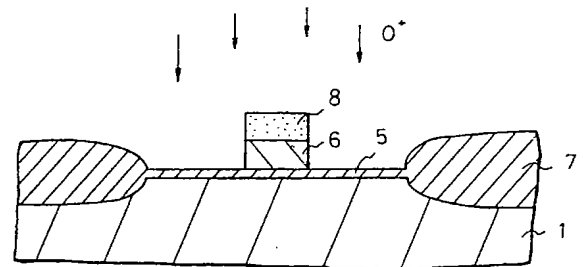
以上説明したように本発明によれば、ゲート形成部が凹凸のない信頼性が高いSOIタイプのMOSFETを容易に形成することができる。

なお、本発明の素子分離法としてはLOCOS方式にもまたメサ型にも適用できる。

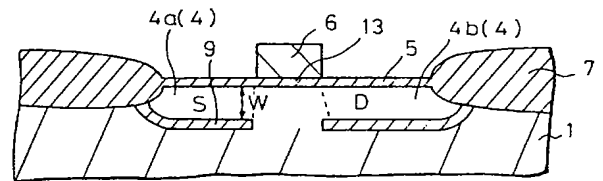
4. 図面の簡単な説明

第1A図と第1B図は本発明に係る第1の実施例を説明するための工程断面図であり、第2図は上記第1の実施例を用いたオフセット型高耐圧SOI/MOSの例を示す断面図であり、第3A図から第3C図は本発明に係る第2の実施例を説明するための工程断面図であり、第4図は従来例を説明するための断面図である。

- 1…単結晶シリコン基板、
- 2…SiO₂層、
- 3…窓、
- 4…単結晶域、
- 4a…ソース領域、
- 4b…ドレイン領域、
- 5…ゲート絶縁膜、
- 6…ゲート電極、
- 7…フィールド絶縁膜、



第1A図



第1B図

特許出願人

富士通株式会社

特許出願代理人

弁理士 青 木 朗

弁理士 西 館 和 之

弁理士 内 田 幸 男

弁理士 山 口 昭 之

1…単結晶シリコン基板

4…単結晶域

4a…ソース領域

4b…ドレイン領域

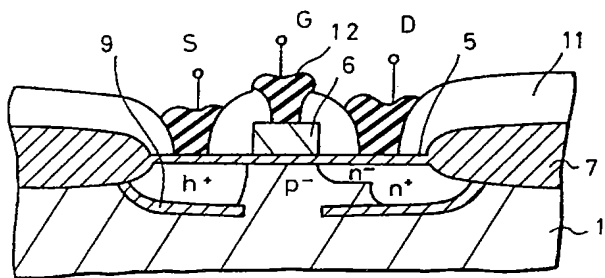
5…ゲート絶縁膜

6…ゲート電極

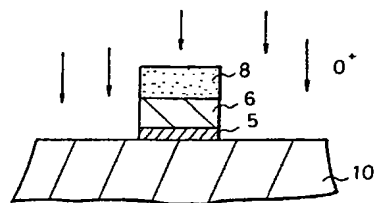
7…フィールド絶縁膜

8…レジスト

9…SiO₂層

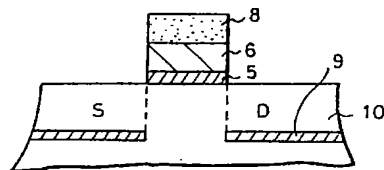


第 2 図

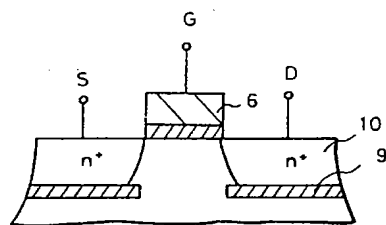


第 3A 図

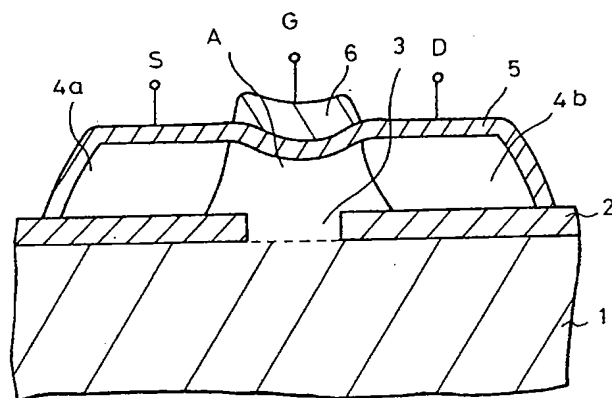
10... メサ型単結晶シリコン基板



第 3B 図



第 3C 図



従 来 例

第 4 図

1... 単結晶シリコン基板

2... SiO₂ 層

3... 窓